

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

10062 U.S. PTO  
09/652023  
08/31/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年11月 4日

出願番号

Application Number:

平成11年特許願第313323号

出願人

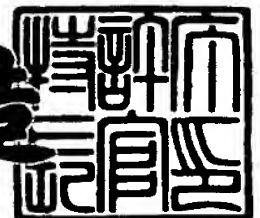
Applicant(s):

富士通株式会社

2000年 7月21日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3055997



【書類名】 特許願

【整理番号】 9940231

【提出日】 平成11年11月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00

【発明の名称】 マイクロプロセッサおよび記憶装置

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

    【氏名】 脇本 康裕

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100104190

    【弁理士】

    【氏名又は名称】 酒井 昭徳

【手数料の表示】

    【予納台帳番号】 041759

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9906241

【ブルーフの要否】 要



【書類名】 明細書

【発明の名称】 マイクロプロセッサおよび記憶装置

【特許請求の範囲】

【請求項 1】 互いに異なる物理アドレスを有する複数の記憶手段が外部に接続されるマイクロプロセッサであって、

前記複数の記憶手段のうちの第 1 の記憶手段に格納されたロードモジュールの論理アドレスに、前記第 1 の記憶手段の物理アドレスを割り当てる第 1 のアドレス変換手段と、

前記複数の記憶手段のうちの第 2 の記憶手段に、前記第 1 の記憶手段に格納されたロードモジュールのうちの命令コードを複写する複写手段と、

前記第 2 の記憶手段に複写された命令コードの論理アドレスに、前記第 2 の記憶手段の物理アドレスを割り当てる第 2 のアドレス変換手段と、

を具備することを特徴とするマイクロプロセッサ。

【請求項 2】 互いに異なる物理アドレスを有する複数の記憶手段が外部に接続されるマイクロプロセッサであって、

前記複数の記憶手段のうちの第 1 の記憶手段に格納されたロードモジュールの論理アドレスに、前記第 1 の記憶手段の物理アドレスを割り当てる第 1 のアドレス変換手段と、

前記複数の記憶手段のうちの第 2 の記憶手段に、前記第 1 の記憶手段に格納されるロードモジュールのうちの命令コードを格納させる格納手段と、

前記第 2 の記憶手段に格納された命令コードの論理アドレスに、前記第 2 の記憶手段の物理アドレスを割り当てる第 2 のアドレス変換手段と、

を具備することを特徴とするマイクロプロセッサ。

【請求項 3】 前記第 2 の記憶手段に格納されているロードモジュールへのアクセスが発生した時に、前記第 1 のアドレス変換手段は、そのアクセス対象となったロードモジュールの論理アドレスに前記第 1 の記憶手段の物理アドレスを割り当て、一方、前記第 2 のアドレス変換手段は、前記アクセス対象となったロードモジュールのうちの命令コードの論理アドレスに前記第 2 の記憶手段の物理アドレスを割り当てることを特徴とする請求項 1 または 2 に記載のマイクロプロ



セッサ。

【請求項 4】 前記第 1 の記憶手段に格納されるロードモジュールは、画像処理用のデータおよび画像処理用の命令コードを含んでいることを特徴とする請求項 1 ～ 3 のいずれか一つに記載のマイクロプロセッサ。

【請求項 5】 互いに異なる物理アドレスを有する複数の記憶手段と、

前記複数の記憶手段のうちの第 1 の記憶手段に格納されたロードモジュールの論理アドレスに、前記第 1 の記憶手段の物理アドレスを割り当てる第 1 のアドレス変換手段と、

前記複数の記憶手段のうちの第 2 の記憶手段に、前記第 1 の記憶手段に格納されたロードモジュールのうちの命令コードを複写する複写手段と、

前記第 2 の記憶手段に複写された命令コードの論理アドレスに、前記第 2 の記憶手段の物理アドレスを割り当てる第 2 のアドレス変換手段と、

を具備することを特徴とする記憶装置。

【請求項 6】 互いに異なる物理アドレスを有する複数の記憶手段と、

前記複数の記憶手段のうちの第 1 の記憶手段に格納されたロードモジュールの論理アドレスに、前記第 1 の記憶手段の物理アドレスを割り当てる第 1 のアドレス変換手段と、

前記複数の記憶手段のうちの第 2 の記憶手段に、前記第 1 の記憶手段に格納されるロードモジュールのうちの命令コードを格納させる格納手段と、

前記第 2 の記憶手段に格納された命令コードの論理アドレスに、前記第 2 の記憶手段の物理アドレスを割り当てる第 2 のアドレス変換手段と、

を具備することを特徴とする記憶装置。

【請求項 7】 前記第 2 の記憶手段に格納されているロードモジュールへのアクセスが発生した時に、前記第 1 のアドレス変換手段は、そのアクセス対象となったロードモジュールの論理アドレスに前記第 1 の記憶手段の物理アドレスを割り当て、一方、前記第 2 のアドレス変換手段は、前記アクセス対象となったロードモジュールのうちの命令コードの論理アドレスに前記第 2 の記憶手段の物理アドレスを割り当てることを特徴とする請求項 5 または 6 に記載の記憶装置。

【請求項 8】 前記第 1 の記憶手段に格納されるロードモジュールは、画像



処理用のデータおよび画像処理用の命令コードを含んでいることを特徴とする請求項 5～7 のいずれか一つに記載の記憶装置。

【請求項 9】 前記第 2 の記憶手段は、前記第 1 の記憶手段よりもアクセス速度が高速なメモリであることを特徴とする請求項 5～8 のいずれか一つに記載の記憶装置。

【請求項 10】 前記第 2 の記憶手段は、シンクロナス DRAM で構成されることを特徴とする請求項 9 に記載の記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コンピュータまたはコンピュータの周辺装置に使用されるマイクロプロセッサおよび記憶装置に関する。

【0002】

レーザ・ビーム・プリンタや画像認識装置など、主として高性能な画像処理を必要とする装置にはマイクロプロセッサが内蔵されている。画像処理に必要な命令コードおよび定数や初期値のデータなどは、マイクロプロセッサの外部に設けられたメインメモリに格納される。また、マイクロプロセッサは、その内部にキャッシュメモリを備えている。マイクロプロセッサは、主に、メインメモリまたはキャッシュメモリに格納された命令コードおよび定数や初期値のデータを用いて処理をおこなう。

【0003】

なお、本明細書では、定数や初期値などの数値（文字も含む）のデータを意味する狭義のデータと、その狭義のデータのほかに命令コードなども含めた広義のデータとを区別するために、広義のデータを単にデータとし、狭義のデータを数値データとする。

【0004】

【従来の技術】

一般に、キャッシュメモリはメインメモリと論理的なメモリ階層を構成している。メインメモリは、一般的な DRAM（ダイナミック RAM）等により構成さ



れる。キャッシュメモリは、メインメモリよりも高速アクセスが可能なSRAM（スタティックRAM）などにより構成される。

【0005】

アクセスのあった命令コードや数値データは、その付近の命令コードや数値データとともにキャッシュメモリに蓄積される。そして、キャッシュメモリに蓄積された命令コードや数値データに対してアクセスがあった場合には、その命令コードや数値データは、メインメモリからではなく、キャッシュメモリから読み出される。それによって、低速なメインメモリへのアクセス頻度が減少し、高速処理が実現する。

【0006】

キャッシュメモリに蓄積された命令コードや数値データには、メインメモリにおける物理アドレスとキャッシュメモリにおける物理アドレスが割り当てられる。両者の物理アドレスは当然異なる。メモリへのアクセスが発生した時に、アクセス対象となる命令コードや数値データがキャッシュメモリに存在しない場合にはメインメモリの物理アドレスが指定される。一方、アクセス対象がキャッシュメモリに存在する場合にはキャッシュメモリの物理アドレスが指定される。

【0007】

このようなアドレス変換は、プロセッサに内蔵されたタグレジスタとキャッシュ制御ユニットと呼ばれるアドレス変換手段により自動的におこなわれる。したがって、プログラマはキャッシュメモリの存在を意識する必要はない。同様にメインメモリ中でアクセスを制御するために、メモリ管理ユニット（MMU）が内蔵されている。

【0008】

これらのアドレス変換手段は、ある論理アドレス範囲に対して一つの物理アドレスを設定する。それと同時に、アドレス変換手段は、設定範囲に共通のアクセス属性などを定義する。ロードモジュールには、命令コードやその命令コードの実行の際に使用される数値データなどのように、アクセスの種別等が異なるものが含まれているが、一部のキャッシュ制御ユニットとメモリ管理ユニットにおけるアドレス変換手段は、命令コードと数値データを区別せずに同様に扱う。



【0009】

【発明が解決しようとする課題】

しかしながら、上述したキャッシュメモリを利用したメモリアクセス機構では、たとえば画像処理のように、処理対象となるデータの規模が大きくなると、キャッシュメモリの書き換えが頻繁に起こる。そのため、本来キャッシュが有効に働く局所的な命令コードや数値データが、キャッシュメモリから追い出されてしまう。したがって、キャッシュのヒット率が下がり、処理の高速化という効果が十分に得られなくなってしまう。また、データ規模に合わせた大容量のメモリは一般に低速になってしまう。

【0010】

そこで、大容量のキャッシュメモリを用いることによって、大規模データを処理する場合であってもキャッシュメモリの書き換えが頻繁に起こらないようにすることもできる。しかし、高速の大容量メモリは高価である。また、安価な大容量メモリを用いたのでは、アクセスタイムが犠牲になってしまう。

【0011】

本発明は、上記問題点に鑑みてなされたものであって、たとえば画像処理のように局所性が低くかつ大規模なデータを処理する場合であっても、局所性の高い命令やデータを効率的にアクセスすることができるマイクロプロセッサおよび記憶装置を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記目的を達成するため、本発明は以下のように構成されていることを特徴とする。マイクロプロセッサの外部に第1の記憶手段（メインメモリ）と第2の記憶手段（ローカルメモリ）が接続される。第1の記憶手段（メインメモリ）には、ロードモジュール全体が展開される。ここで、ロードモジュールは、命令コード、定数や初期値のデータ（数値データ）および作業用領域確保を含む。

【0013】

第2の記憶手段（ローカルメモリ）には、第1の記憶手段（メインメモリ）に展開されたロードモジュールの中の命令コードの一部または全部が複写または書



き込みにより格納される。第2の記憶手段（ローカルメモリ）に格納される命令コードのサイズは、第2の記憶手段（ローカルメモリ）の容量以下に設定される。

#### 【0014】

そして、第1のアドレス変換手段（データ用メモリ管理ユニット）と第2のアドレス変換手段（命令用メモリ管理ユニット）が設けられる。第1のアドレス変換手段（データ用メモリ管理ユニット）は、ロードモジュール全体の論理アドレスを第1の記憶手段（メインメモリ）の物理アドレスへ変換する。第2のアドレス変換手段（命令用メモリ管理ユニット）は、ロードモジュールの命令コードの論理アドレスを第2の記憶手段（ローカルメモリ）の物理アドレスへ変換する。

#### 【0015】

第1の記憶手段（メインメモリ）は大容量のメモリ、たとえばDIMM（デュアル・インライン・メモリ・モジュール）により構成される。第2の記憶手段（ローカルメモリ）は、第1の記憶手段（メインメモリ）よりも容量は小さいが高速で動作するメモリ、たとえば単体の高速シンクロナスDRAMにより構成される。

#### 【0016】

以上のように構成されているため、本発明によれば、マイクロプロセッサは、命令を実行する際、より高速な第2の記憶手段（ローカルメモリ）から命令コードを取得して実行する。命令コードは一般に局所性（ローカリティ）が高い。そのため、第2の記憶手段（ローカルメモリ）が小容量のメモリであっても高速化の効果は十分に得られる。

#### 【0017】

それに対して、画像処理などで用いられるような大規模なデータは、一般に局所性が低い。したがって、そのようなデータを小容量の第2の記憶手段（ローカルメモリ）に分割して転送しても、頻繁に発生する転送による損失のため、高速化の効果は十分に得られない。よって、ロードモジュール全体は大容量の第1の記憶手段（メインメモリ）に格納される。

#### 【0018】



また、スタックなどのように、作業データの中には局所性が高いものもある。このような局所性の高い作業データについては、格納先を第2の記憶手段（ローカルメモリ）にしてもよい。その場合には、第2のアドレス変換手段（命令用メモリ管理ユニット）は、スタックなどの作業データの論理アドレスを第2の記憶手段（ローカルメモリ）の物理アドレスへ変換する。

【0019】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。図1は、本発明にかかる記憶装置の一例を示すブロック図である。この記憶装置は、マイクロプロセッサ（MPU）1、第1の記憶手段であるメインメモリ2、第2の記憶手段であるローカルメモリ3を備えている。

【0020】

マイクロプロセッサ1は、外部バス41、バスブリッジ5および別の外部バス42を介して、メインメモリ2に接続される。また、マイクロプロセッサ1は、さらに別の外部バス43を介して、ローカルメモリ3に接続される。

【0021】

メインメモリ2は、たとえば、大容量のDIMMなどの一般的なDRAMにより構成される。ローカルメモリ3は、たとえば、メインメモリ2よりも容量は小さいが高速で動作するシンクロナスDRAM（SDRAM）により構成される。

【0022】

また、マイクロプロセッサ1は、外部バス41、バスブリッジ5およびさらにまた別の外部バス44を介して図示しない周辺回路に接続される。マイクロプロセッサ1は、演算処理をおこなうコア11、命令コードやデータを格納するキャッシュメモリ12、および外部バス41、43が接続されるバスインターフェース13を備えている。

【0023】

マイクロプロセッサ1とメインメモリ2との間では、外部バス41、42およびバスブリッジ5を介して、アドレスやデータが双方向に転送される。マイクロプロセッサ1とローカルメモリ3との間では、外部バス43を介して、アドレス



や命令コードが双方向に転送される。また、メインメモリ 2 とローカルメモリ 3 との間では、外部バス 4 1, 4 3 を介して、バスインターフェース 1 3 を経由することにより、データは双方向に直接転送される。

【0024】

図 2 は、マイクロプロセッサ 1 の詳細な構成の一例を示すブロック図である。

マイクロプロセッサ 1 は、CPU（中央演算処理装置）コア 6、クロック発生器 7 1、バスインターフェースユニット 7 2、デバッグサポートユニット 7 3、SDRAMバスインターフェース 7 4 およびシステムバスインターフェース 7 5 を備えている。

【0025】

CPUコア 6 は、たとえば 6 つの命令実行ユニット 6 1 a, 6 1 b, 6 1 c, 6 1 d, 6 1 e, 6 1 f、第 2 のアドレス変換手段である命令用メモリ管理ユニット 6 2、および第 1 のアドレス変換手段であるデータ用メモリ管理ユニット 6 3 を備えている。

【0026】

CPUコア 6 は、メインメモリ 2（図 1 参照）にロードモジュール全体を展開する。そして、CPUコア 6 は、メインメモリ 2（図 1 参照）に展開したロードモジュールの中の一部または全部の命令コードをローカルメモリ 3 に複写する。したがって、CPUコア 6 は複写手段としての機能を有している。ローカルメモリ 3 に複写される命令コードのサイズは、ローカルメモリ 3 の容量以下に設定される。

【0027】

データ用メモリ管理ユニット 6 3 は、メインメモリ 2（図 1 参照）に展開されたロードモジュール全体の論理アドレスに、メインメモリ 2 の物理アドレスを割り当てる。命令用メモリ管理ユニット 6 2 は、ローカルメモリ 3（図 1 参照）に複写された命令コードの論理アドレスに、ローカルメモリ 3 の物理アドレスを割り当てる。

【0028】

また、CPUコア 6 は、図 1 に示すキャッシュメモリ 1 2 を構成する命令キャ



ッシュ 6 4 およびデータキャッシュ 6 5 を備えている。命令用メモリ管理ユニット 6 2 またはデータ用メモリ管理ユニット 6 3 と、命令キャッシュ 6 4 またはデータキャッシュ 6 5 とは、命令コード用のデータバス 6 6、命令コード用のアドレスバス 6 7、データ用のアドレスバス 6 8 およびデータ用のデータバス 6 9 を介して接続される。

#### 【0 0 2 9】

CPU コア 6 は、内部バス 8 1、8 2、8 3、8 4、バスインターフェースユニット 7 2 および別の内部バス 8 5、8 6 を介して、SDRAM バスインターフェース 7 4 またはシステムバスインターフェース 7 5 に接続する。SDRAM バスインターフェース 7 4 にはローカルメモリ用の外部バス 4 3 が接続される。システムバスインターフェース 7 5 にはメインメモリ用の外部バス 4 1 が接続される。また、SDRAM バスインターフェース 7 4 とシステムバスインターフェース 7 5 とは、さらに別の内部バス 8 7 を介して相互に接続されている。

#### 【0 0 3 0】

バスインターフェースユニット 7 2 は、あらかじめ設定された物理アドレス範囲と CPU コア 6 からのアクセス要求を比較する。その結果、CPU コア 6 からのアクセス要求がメインメモリ 2（図 1 参照）の物理アドレスに相当する場合には、システムバスインターフェース 7 5 が動作する。

#### 【0 0 3 1】

比較の結果、アクセス要求がローカルメモリ 3（図 1 参照）の物理アドレスに相当する場合には、SDRAM バスインターフェース 7 4 が動作する。したがって、ローカルメモリ 3 に接続された外部バス 4 3 の領域、およびメインメモリ 2 に接続された外部バス 4 1 の領域は、任意の物理アドレスへ割り当てられる。

#### 【0 0 3 2】

クロック発生器 7 1 は、外部クロックに基づいて内部クロックを生成し、それを CPU コア 6 およびバスインターフェースユニット 7 2 に供給する。デバッグサポートユニット 7 3 は、図示しない ICE（インサーキットエミュレータ）にインターフェースを介して接続される。

#### 【0 0 3 3】



図3は、メモリ管理ユニット62, 63の構成を模式的に示す図である。

メモリ管理ユニット62, 63は、論理アドレスを格納するための複数の論理アドレス領域62a, ..., 62j, 62k、物理アドレスを格納するための複数の物理アドレス領域63a, ..., 63j, 63k、複数の比較器60a, ..., 60j, 60kを備えている。

#### 【0034】

データ用メモリ管理ユニット63においては、論理アドレス領域62a, ..., 62j, 62kには、メインメモリ2に展開されているロードモジュールに関する論理アドレスが格納される。命令用メモリ管理ユニット62の場合には、論理アドレス領域62a, ..., 62j, 62kには、ローカルメモリ3に格納されている命令コードに関する論理アドレスが格納される。物理アドレス領域63a, ..., 63j, 63kには、それぞれ、各論理アドレス領域62a, ..., 62j, 62kに格納されている論理アドレスに割り当てられた物理アドレスが格納される。

#### 【0035】

比較器60a, ..., 60j, 60kは、CPUコア6からのアクセス要求があった論理アドレス91bと、各論理アドレス領域62a, ..., 62j, 62kに格納されている論理アドレスとの比較をおこなう。

#### 【0036】

ここで、メモリ管理ユニット62, 63は、実行されている命令によって論理アドレスと物理アドレスの関係を異なる複数の設定から選択される機構を持ち、それぞれ同じ論理アドレスに対して2種類以上の異なる物理アドレスを設定する構成となってもよい。

#### 【0037】

そうすれば、たとえば、ある命令コードの内容が、自己すなわちその命令コードのメインメモリ2におけるアドレスを参照せよという命令（たとえば、ワードイフェクトアドレスという命令）である場合に有効である。つまり、CPUコア6はその命令コードをローカルメモリ3から読み出して実行する。そして、CPUコア6はメインメモリ2を参照して絶対アドレスを取得することができる。



【0038】

また、メモリ管理ユニット62、63は、アクセスされた時点で記憶されているプロセス番号などの情報により異なる複数の論理アドレスと物理アドレスの関係を選択できる機構を持ち、それぞれ同じ論理アドレスに対して2種類以上の異なる物理アドレスを設定する構成となってもよい。

【0039】

そうすれば、いわゆるマルチタスクのように、複数のタスクを並行しておこなう場合に有効である。つまり、CPUコア6は、優先度の高いタスクに関しては命令コードをローカルメモリ3から読み出す。一方、優先度の低いタスクに関する命令コードについては、CPUコア6はメインメモリ2から読み出すことができる。

【0040】

また、メモリ管理ユニット62、63は、アクセスされた時刻によって異なる論理アドレスと物理アドレスの関係を選択できる機構を持ち、それぞれ同じ論理アドレスに対して2種類以上の異なる物理アドレスを設定する構成となってもよい。

【0041】

そうすれば、あらかじめ決められた時間内は優先度が高いが、その時間が経過した後に優先度が下がるような命令コードを実行する場合に有効である。つまり、CPUコア6は、ある命令コードを実行する際、その命令コードを、優先度が高い間はローカルメモリ3から読み出し、優先度が低くなったらメインメモリ2から読み出すことができる。

【0042】

次に、作用について説明する。まず、モジュールのロード時に、CPUコア6により、メインメモリ2にロードモジュール全体が展開される。また、そのロードモジュールの中の命令コードが、ローカルメモリ3の容量以下のサイズでローカルメモリ3に複写される。

【0043】

データ用メモリ管理ユニット63において、論理アドレス領域62a、・・・



、62 j、62 kには、メインメモリ2に展開されたロードモジュール全体の論理アドレスが格納される。また、物理アドレス格納領域63 a、・・・、63 j、63 kには、論理アドレス領域62 a、・・・、62 j、62 kに格納された各論理アドレスに対応する物理アドレスが格納される。

## 【0044】

同様に、命令用メモリ管理ユニット62において、論理アドレス領域62 a、・・・、62 j、62 kには、ローカルメモリ3に格納された命令コードの論理アドレスが格納される。そして、物理アドレス格納領域63 a、・・・、63 j、63 kには、論理アドレス領域62 a、・・・、62 j、62 kに格納された各論理アドレスに対応する物理アドレスが格納される。

## 【0045】

CPUコア6からアクセス要求があると、データ用メモリ管理ユニット63および命令用メモリ管理ユニット62において、それぞれの比較器60 a、・・・、60 j、60 kにより、CPUコア6から要求されている論理アドレスと、各論理アドレス領域62 a、・・・、62 j、62 kに格納されている論理アドレスとの比較がおこなわれる。この比較は複数の比較器60 a、・・・、60 j、60 kにおいて同時におこなわれる。

## 【0046】

比較の結果、論理アドレス領域62 a、・・・、62 j、62 kに格納されている論理アドレスの中に一致するものがある場合には、メモリ管理ユニット62、63は、それぞれ、その一致する論理アドレス91 bに対応する物理アドレス92 bを出力する。一致するものがない場合には、メモリ管理ユニット62、63は論理アドレス91 a、91 cをそのまま物理アドレス92 a、92 cとして出力する。

## 【0047】

このようなアドレス変換をおこなうことは、論理アドレス空間91をセグメント単位で物理アドレス空間92へマッピングしていることに相当する。図4には、このマッピングの様子が模式的に示されている。

## 【0048】



図5は、ロードモジュール全体とそれに含まれる命令コードとで異なるマッピングをおこなった様子を示す模式図である。メインメモリ2には、命令コードと数値データと作業領域を含めたロードモジュール全体が展開されている。たとえば図示例では、メモリアドレスレジスタ（MAR）の論理アドレス「0350」が、メインメモリ2に相当する物理アドレス「1000～1399」にマッピングされている。

## 【0049】

ローカルメモリ3には、ロードモジュールの中の命令コードが展開されている。たとえば図示例では、プログラムカウンタ（PC）の論理アドレス「0080」が、ローカルメモリ3に相当する物理アドレス「2000～2099」にマッピングされている。

## 【0050】

CPUコア6が、ローカルメモリ3に格納された命令コードのサイズを超えて命令を実行しようとした場合、命令用メモリ管理ユニット62は、ページミスヒット機能などによりアドレス変換ミスを検出する。それによって、その時点で要求されている命令コードを含む適当な範囲の命令コードがメインメモリ2からローカルメモリ3に転送されることになる。

## 【0051】

命令用メモリ管理ユニット62は、論理アドレス領域62a，・・・，62j，62kに格納するアドレスを、新たに転送された命令コードの論理アドレスに更新する。それに対応して、物理アドレス領域63a，・・・，63j，63kの物理アドレスも更新される。このようにローカルメモリ3に格納された命令コードを更新することによって、CPUコア6は命令の実行を継続する。なお、命令実行中に新たに命令コードの転送をおこなっても、命令コードの局所性が高いため、損失は十分に小さい。

## 【0052】

上述した実施の形態によれば、マイクロプロセッサ1の外部に接続された大容量のメインメモリ2にロードモジュール全体が展開される。メインメモリ2に展開されたロードモジュールの中の命令コードの一部または全部は、マイクロプロ



セッサ 1 の外部に接続された高速のローカルメモリ 3 に格納される。したがって、画像処理などで用いられるような大規模で非局所的なデータをロードした場合にも、高速なローカルメモリ 3 内の命令コードを高速に実行することができる。

#### 【0053】

また、上述した実施の形態によれば、ローカルメモリ 3 を設けたことによって、メインメモリへのアクセスを減少させることができるので、消費電力を低減させることができる。また、メインメモリ 2 に比較的低速で安価なメモリを用いることができるので、処理性能が向上するにもかかわらず、コストアップを抑えることができる。

#### 【0054】

なお、上記実施の形態においては、ローカルメモリ 3 に命令コードを格納するとしたが、これに限らず、局所性が高ければ数値データなど、いかなるデータをローカルメモリ 3 に格納してもよい。

#### 【0055】

また、上記実施の形態においては、メインメモリ 2 に展開されたロードモジュールの中の命令コードをローカルメモリ 3 に複写するとしたが、これに限らず、メインメモリ 2 にロードモジュールを展開するとともに、命令コードをローカルメモリ 3 に格納する構成としてもよい。

#### 【0056】

#### 【発明の効果】

本発明によれば、大容量の第 1 の記憶手段にロードモジュール全体が展開される。そのロードモジュールの中の命令コードの一部または全部は高速の第 2 の記憶手段に格納される。したがって、画像処理などで用いられるような大規模で非局所的なデータを含むロードモジュールをロードした場合にも、高速な第 2 の記憶手段内の命令コードを実行することができるので、システム全体としての処理性能を向上させることができる。

#### 【図面の簡単な説明】

#### 【図 1】

本発明にかかる記憶装置の一例を示すブロック図である。



【図 2】

本発明にかかるマイクロプロセッサの詳細な構成の一例を示すブロック図である。

【図 3】

図 2 に示すマイクロプロセッサに内蔵されたメモリ管理ユニットの構成を示す模式図である。

【図 4】

図 3 に示すメモリ管理ユニットのアドレス変換によって論理アドレス空間が物理アドレス空間にマッピングされる様子を示す模式図である。

【図 5】

ロードモジュール全体と命令コードとで異なるマッピングをおこなった結果を示す模式図である。

【符号の説明】

- 1    マイクロプロセッサ、複写手段、格納手段
- 2    第 1 の記憶手段（メインメモリ）
- 3    第 2 の記憶手段（ローカルメモリ）
- 6 2   第 2 のアドレス変換手段（命令用メモリ管理ユニット）
- 6 3   第 1 のアドレス変換手段（データ用メモリ管理ユニット）

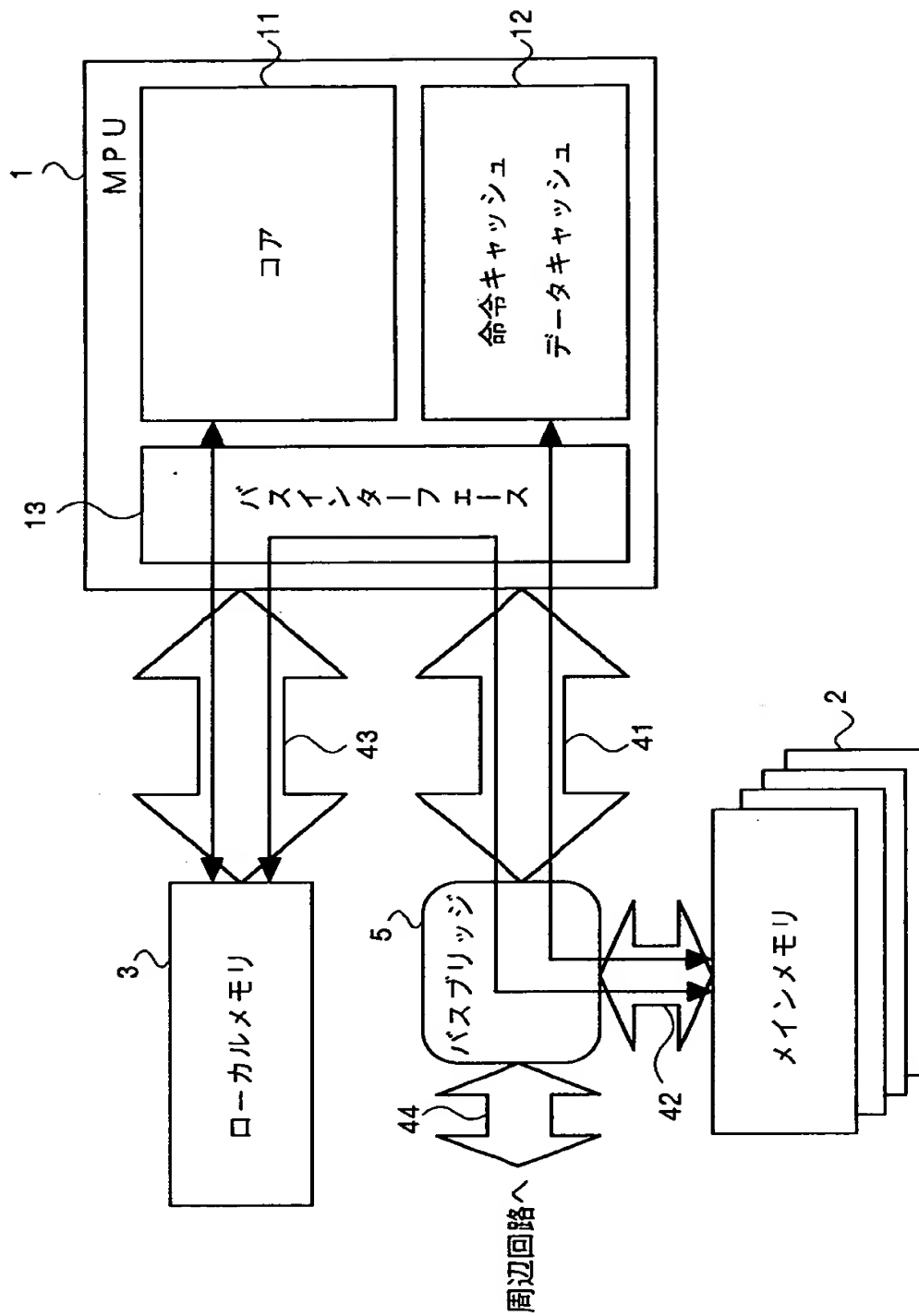


【書類名】

図面

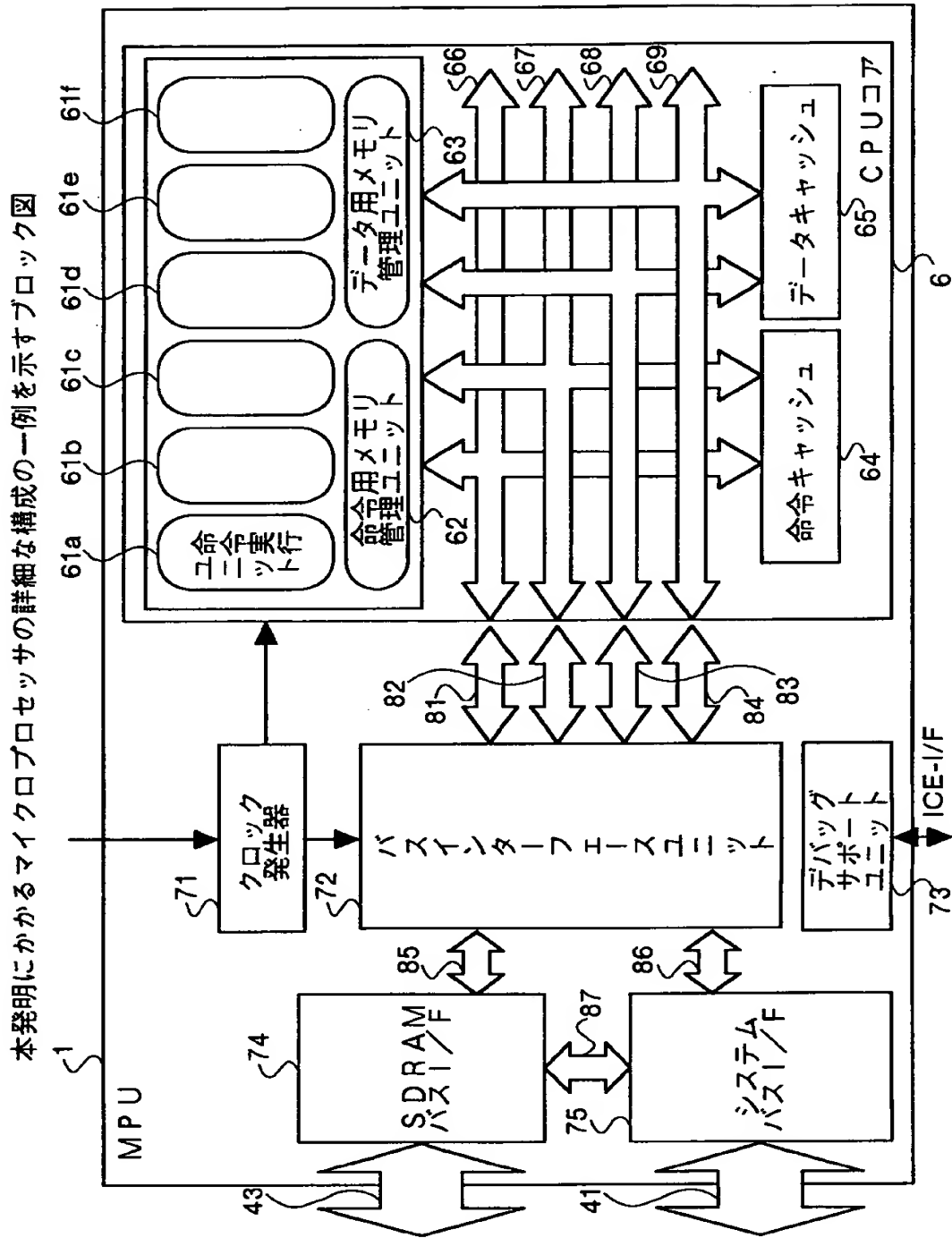
【図 1】

本発明にかかる記憶装置の一例を示すブロック図





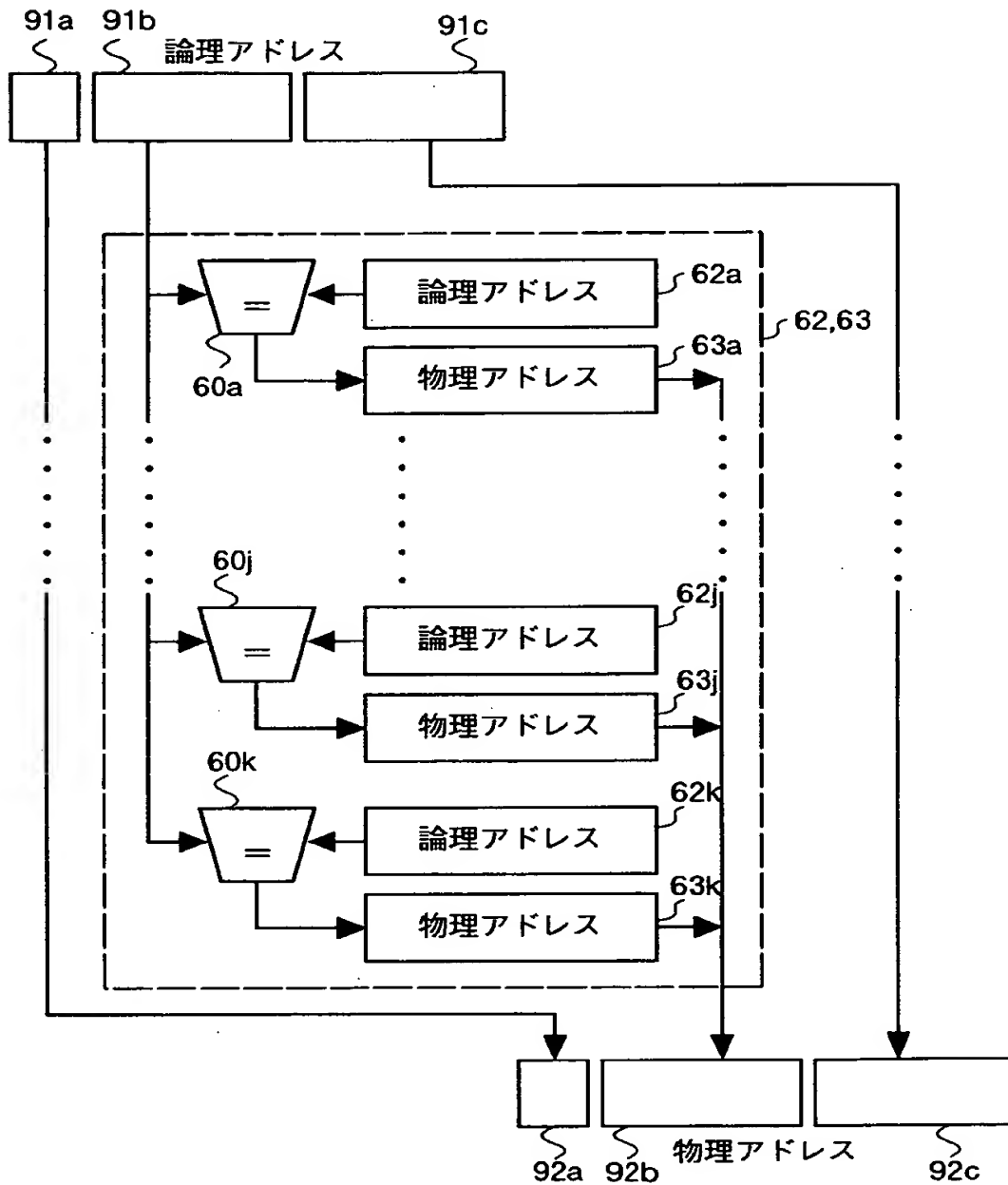
【図 2】





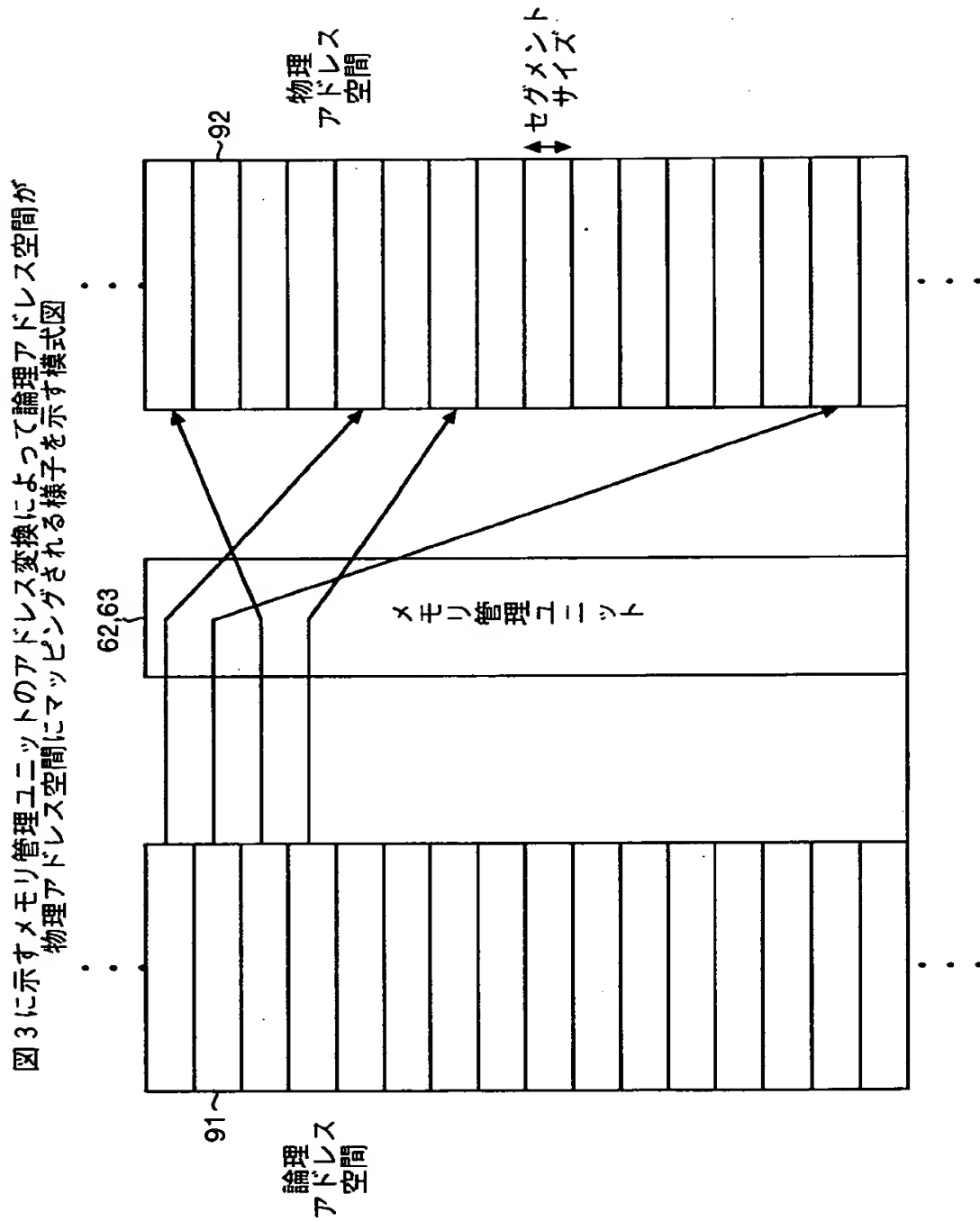
【図 3】

図 2 に示すマイクロプロセッサに内蔵された  
メモリ管理ユニットの構成を示す模式図





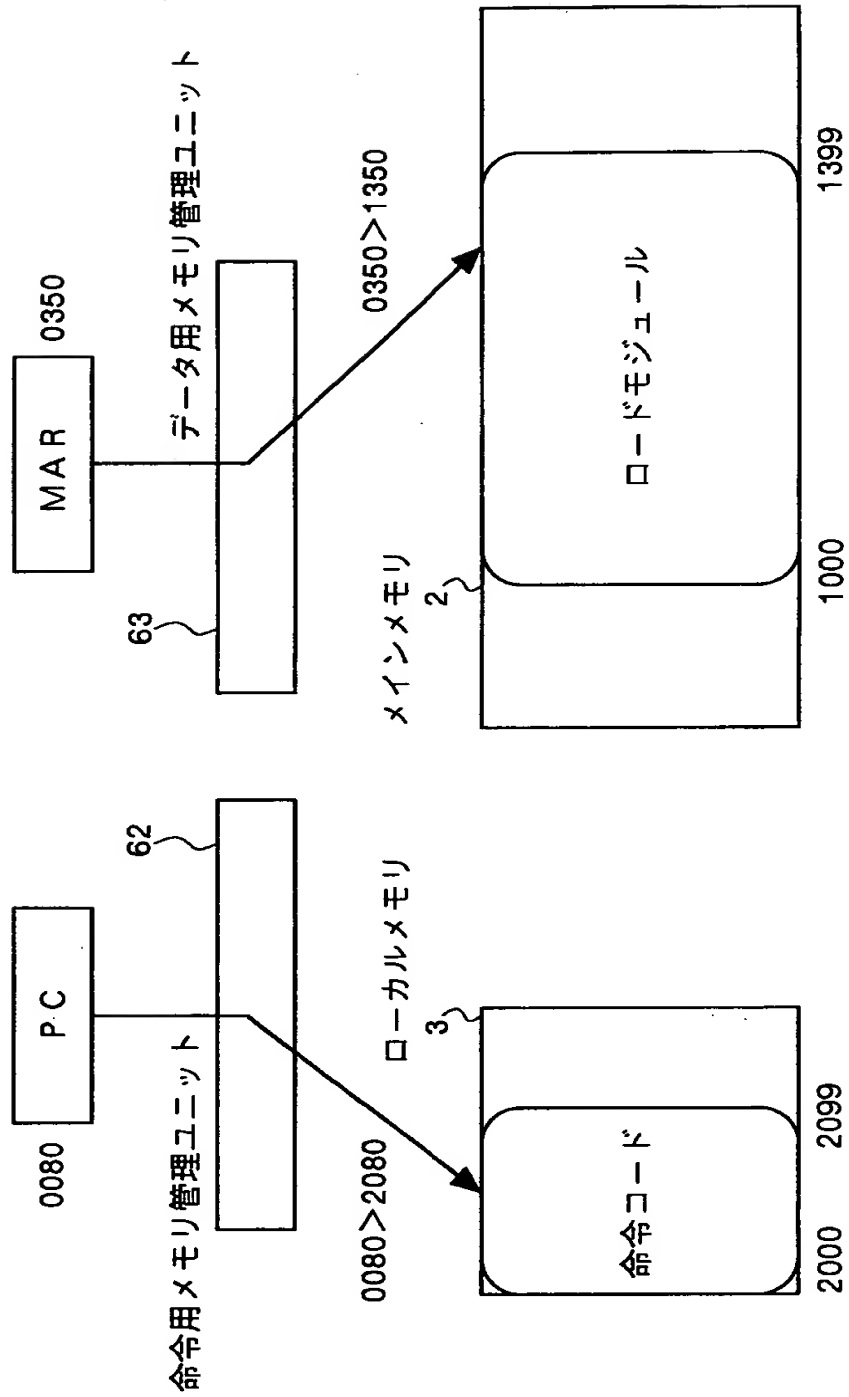
【図 4】





【図 5】

ロードモジュール全体と命令コードとで異なるマッピングを行った結果を示す模式図





【書類名】 要約書

【要約】

【課題】 マイクロプロセッサおよび記憶装置において、たとえば画像処理のように大規模データを処理する場合であっても高速で小容量なローカルメモリを有効に働かせること。

【解決手段】 マイクロプロセッサ 1 の外部にメインメモリ 2 と、メインメモリ 2 よりも高速なローカルメモリ 3 を接続する。メインメモリ 2 にはロードモジュール全体が展開され、ローカルメモリ 3 にはメインメモリ 2 に展開されたロードモジュールの中の命令コードの一部または全部を格納する。データ用メモリ管理ユニット 6 3 はロードモジュール全体の論理アドレスをメインメモリ 2 の物理アドレスへ変換する。命令用メモリ管理ユニット 6 2 は、ローカルメモリ 3 に格納された命令コードの論理アドレスをローカルメモリ 3 の物理アドレスへ変換する。CPU コア 6 は命令の実行時にローカルメモリ 3 から命令コードを取得する。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社